**Σχεδιασμός Συστημάτων VLSI και**

**ASIC**

*Σχεδίαση, λειτουργική προσομοίωση και προσομοίωση σε*

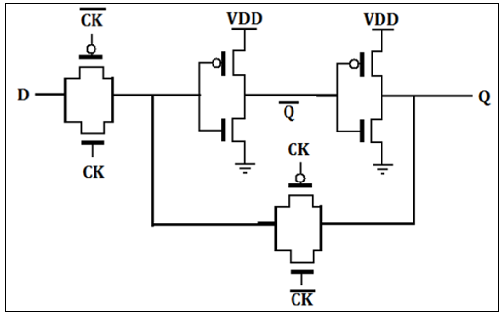
*κυκλωματικό επίπεδο D-Δισταθούς Πολυδονητή (D- Flip/Flop)*

Χρήστος Καβαλλάρης 2014030135

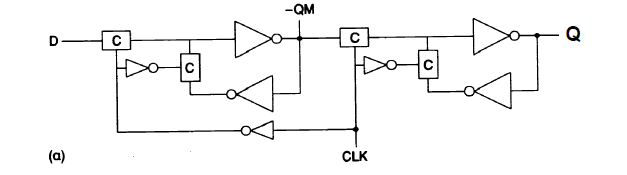
Αθανάσιος Μάνεσης 2014030061

***1. Circuit Diagrams***

*D-Latch Circuit Diagram*

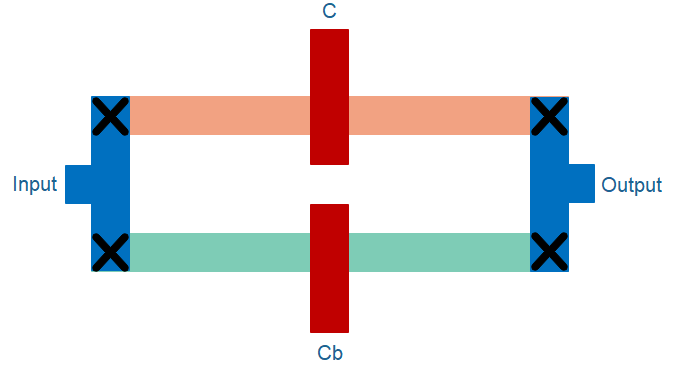


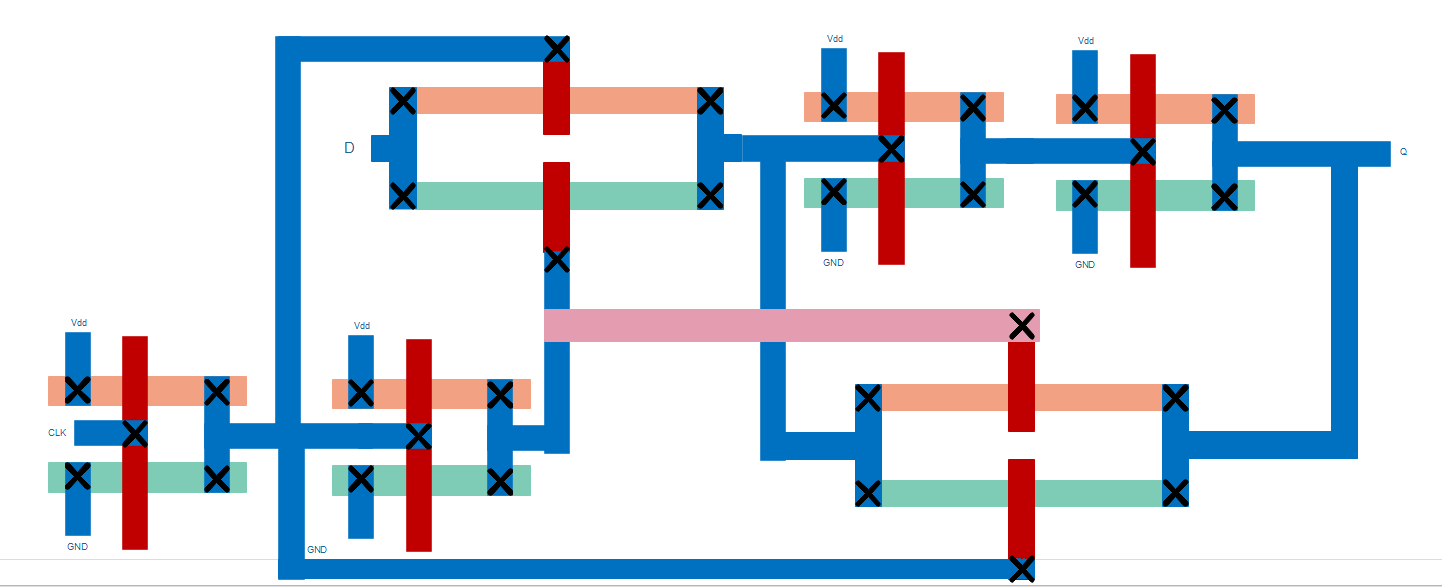
*D-Flip Flop Circuit Diagram*

******

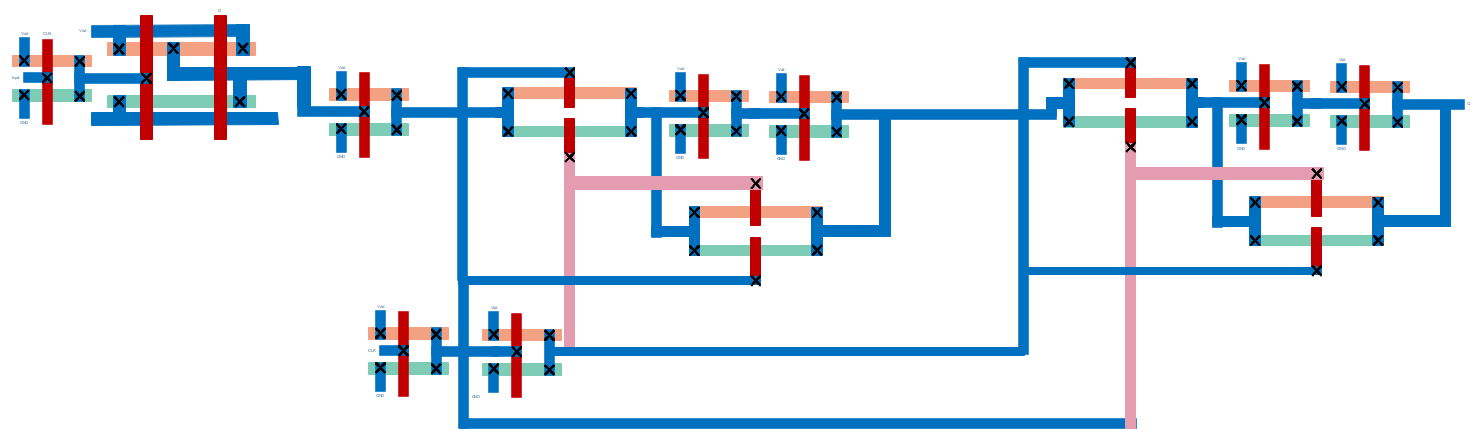
***2. Stick Diagrams***

*MOS Switch Stick Diagram*

**

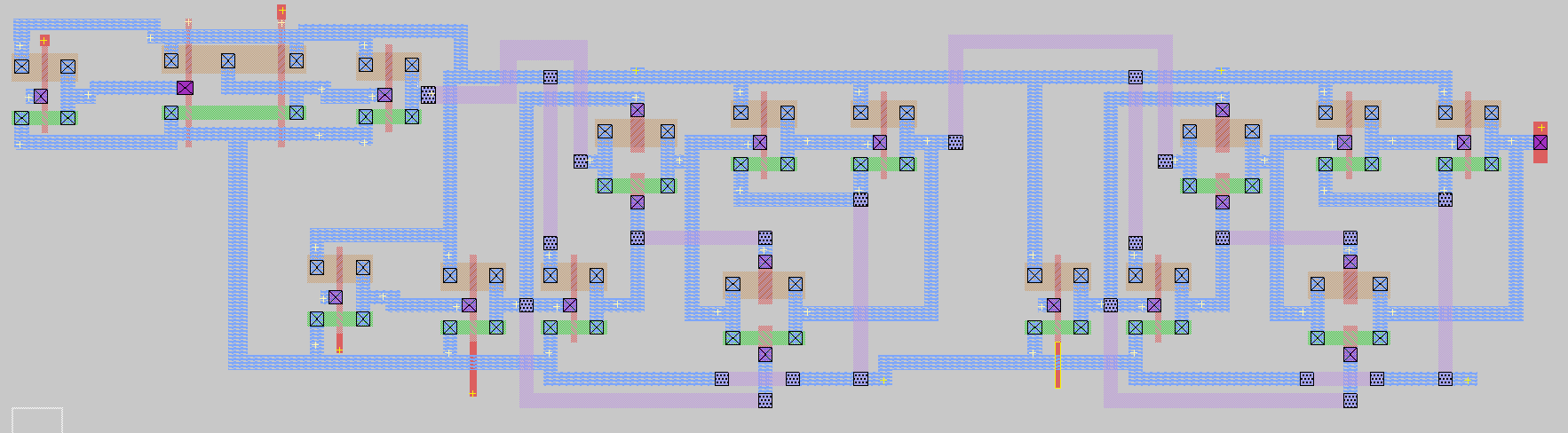
*D-Latch Stick Diagram*

*D-Flip Flop Stick Diagram*

**

***3. Layouts***

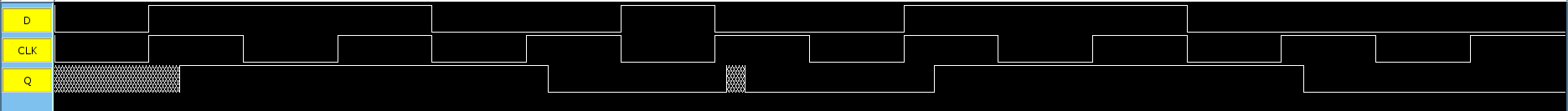
*D-Flip Flop with synchronous CLR layout*

******

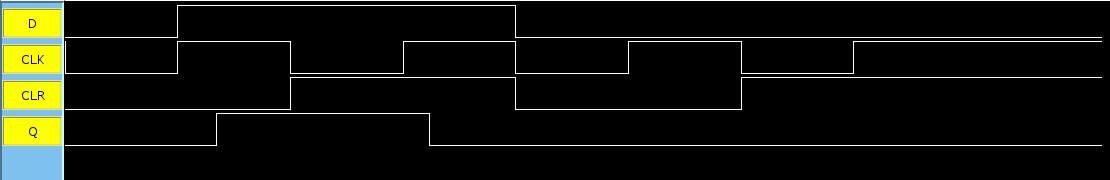
***4. Αναφορά σε τεχνικες, πύλες/μονάδες που χρησιμοποιήσαμε.***

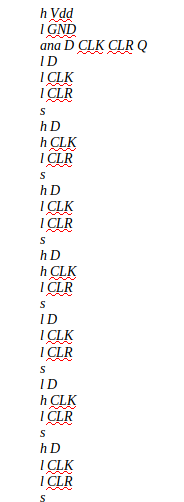
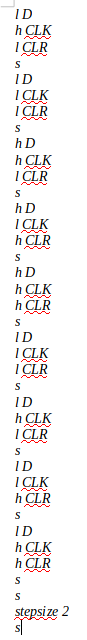
***5. IRSIM Simulations***

*D-Flip Flop Logical Simulation*

**

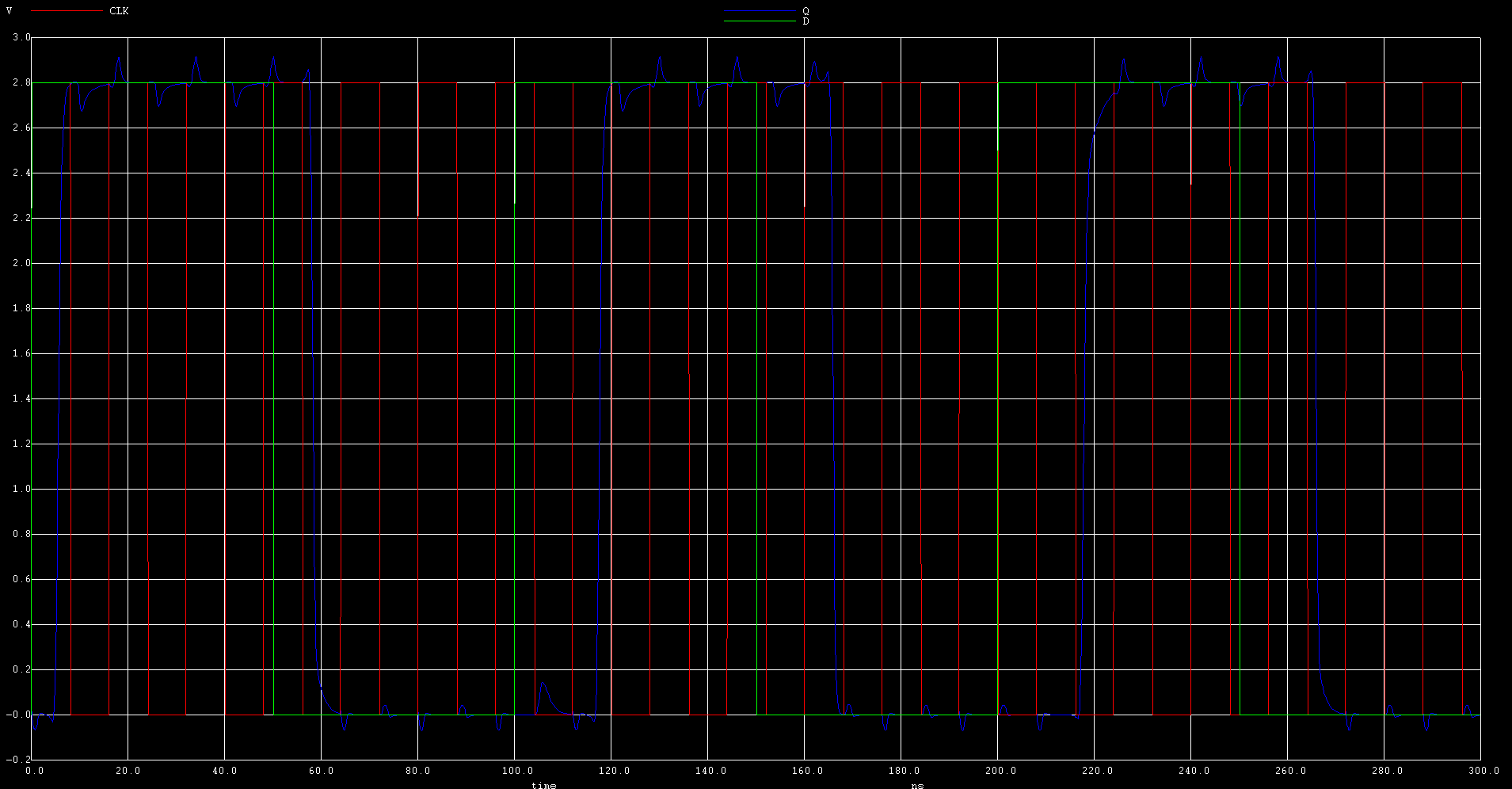
*D-Flip Flop with CLR*

******

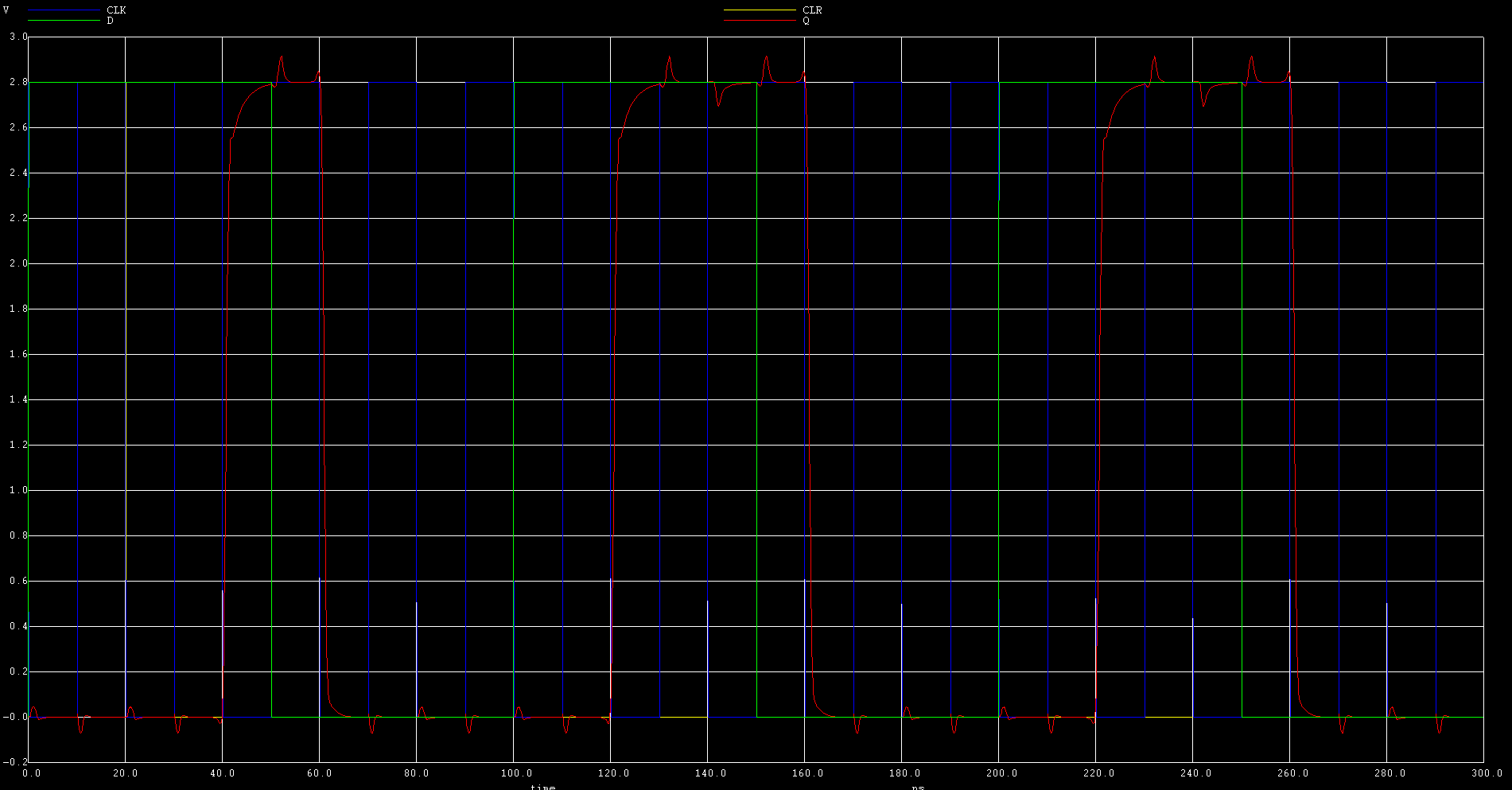
****** *Κώδικας Προσομοίωσης:*

***6. Spice Simulations***

*D-Flip Flop Simulation*

**

*D-Flip Flop with CLR Simulation*

**

*Κώδικας Προσομοίωσης:*

*.include usc-spice.usc-spice*

*Vgnd1 GND 0 DC 0V*

*Vgnd2 gnd! 0 DC 0V*

*VVdd Vdd 0 DC 2.8V*

*Vin1 CLK 0 pulse(2.8 0 0ns 0.1ns 0.1ns 10ns 20ns)*

*Vin2 D 0 pulse(0 2.8 0ns 0.1ns 0.1ns 50ns 100ns)*

*Vin3 CLR 0 pulse(0 2.8 0ns 0.1ns 0.1ns 20ns 300ns)*

*.tran 5ns 300ns*

*.probe*

*.end*

***7. Μέγιστη συχνότητα ρολογιού και σύγκριση των δύο περιπτώσεων***